

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-289810

(P2002-289810A)

(43)公開日 平成14年10月4日 (2002.10.4)

(51)Int.Cl.⁷
H 0 1 L 27/105
21/768
27/108
21/8242

識別記号

F I
H 0 1 L 27/10
21/90
27/10

テマコード(参考)
4 4 4 B 5 F 0 3 3
D 5 F 0 8 3
6 2 1 C
6 5 1

審査請求 未請求 請求項の数 8 O.L. (全 12 頁)

(21)出願番号 特願2001-92533(P2001-92533)

(22)出願日 平成13年3月28日 (2001.3.28)

(71)出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72)発明者 今井 駿太郎
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72)発明者 山川 晃司
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(74)代理人 100058479
弁理士 鈴江 武彦 (外6名)

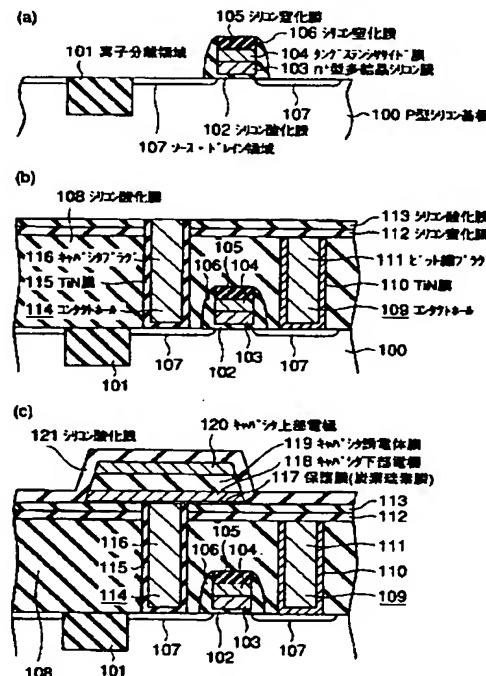
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】COP構造のFeRAMセルを構成する強誘電体膜の結晶化やダメージ回復を目的とする、酸化性雰囲気中下での熱処理工程において、上記強誘電体膜下のキャパシタプラグの酸化を防止すること。

【解決手段】キャパシタプラグ116の上面を保護膜117である炭化珪素膜で覆った後、キャパシタ下部電極118、キャパシタ誘電体膜119を形成する。



1

【特許請求の範囲】

【請求項1】半導体基板上に形成された導電性のプラグと、前記プラグの上面を覆う炭化珪素膜と、前記炭化珪素膜を介して前記プラグと電気的に接続する電極とを具備してなることを特徴とする半導体装置。

【請求項2】半導体基板上に形成された導電性のプラグと、前記プラグの上面を覆う炭化珪素膜と、

前記炭化珪素膜を介して前記プラグと電気的に接続する電極と、

前記電極上に形成され、強誘電体材料または高誘電体材料を主成分とする誘電体膜とを具備してなることを特徴とする半導体装置。

【請求項3】前記プラグは、前記半導体基板の表面に形成されたトランジスタの活性領域に電気的に接続したものであることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】前記電極および前記誘電体膜はキャパシタを構成するものであり、かつ前記電極は前記誘電体膜の下に形成されたものであることを特徴とする請求項3に記載の半導体装置。

【請求項5】前記キャパシタは、キャパシタ誘電体膜の主成分として強誘電体材料を使用した、不揮発性メモリ機能を有するものであることを特徴とする請求項4に記載の半導体装置。

【請求項6】前記キャパシタは、キャパシタ誘電体膜の主成分として高誘電体材料を使用した、DRAMのメモリセルのものであることを特徴とする請求項5に記載の半導体装置。

【請求項7】前記炭化珪素膜の膜厚は、100nm以下であることを特徴とする請求項1ないし6のいずれか1項に記載の半導体装置。

【請求項8】半導体基板上に導電性のプラグを形成する工程と、

前記プラグの上面を覆う炭化珪素膜を形成する工程と、前記炭化珪素膜上に前記プラグと電気的に接続する電極を形成する工程と、

前記電極上に強誘電体または高誘電体を主成分とする誘電体膜を形成する工程と、

酸化性雰囲気中で前記誘電体膜を熱処理する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に係わり、特に強誘電体または誘電体薄膜キャパシタ電極とその下に形成されたプラグとで構成された接続構造（プラグ／電極構造）に特徴がある半導体装置およびその製造方法に関する。

【0002】

2

【従来の技術】近年、デジタル電子機器が扱う情報が、画像情報、動画情報などに広がりその情報量が大幅に拡大している。これに伴い使用されるメモリにも従来にも増して多量の容量が要求されている。

【0003】半導体メモリの高集積化のためには、微細化とそれに伴う高集積化が必要である。例えば代表的なメモリデバイスであるDRAM (Dynamic Random Access Memory)においては、集積化がこれまで3年で4倍のスピードで進められており、近年においてはギガビットの容量のものが開発されるに至っている。

【0004】DRAMにおいては、一对のキャパシタとトランジスタとからなるメモリセルを1または0の情報を記憶するユニットとしている。DRAMの高集積化のためには、メモリセルを構成するキャパシタの微細化が必須である。

【0005】このためには、(1) キャパシタ誘電体膜の厚さを薄くする、(2) 立体化を進めキャパシタ面積を増加させる、(3) 材料そのものに高誘電率のものを使用する、といった3方式が代表的にあげられそれぞれ検討、開発が進められてきている。

【0006】特に(3)に対しては、これまでキャパシタ材料に用いられてきたシリコン酸化膜から、五酸化タンタル (Ta_2O_5)、さらにはチタン酸バリウム・ストロンチウム ((Ba, Sr)TiO₃)といった高誘電体材料の導入が検討され、それらの薄膜の適用による高容量キャパシタの開発が進められてきている。これらの材料は、従来の酸化シリコンと比較して、誘電率が10~100倍程度高い特徴をもつ。

【0007】(1)のキャパシタ誘電体膜の薄膜化については、これまでシリコン酸化膜やシリコン窒化膜の薄膜化を進めてきた。しかし、厚さが3nm以下の領域となってくると、トンネル電流によりリーク電流が増加してしまう問題が顕在化してきている。よってこのキャパシタの薄膜化についても限界が近くなっている。

【0008】(2)のキャパシタ面積の増加では、従来の平面キャパシタ構造から、シリコン基板に深い溝を形成したトレンチ型キャパシタ、あるいはトランジスタの上に積み上げるスタッカ型キャパシタなどのような方法がとられてきた。メガビットからギガビット級の容量のメモリに対応してキャパシタ面積の増加を図るにしても、キャパシタ構造をより一層複雑化する必要があり、キャパシタ形成プロセスへの負担が増加している。このため、(3)の高誘電体膜を適用したキャパシタの開発がなされるに至っている。

【0009】一方、強誘電体薄膜を利用した不揮発性メモリである強誘電体メモリ (FeRAM: Ferroelectric Random Access Memory) の開発が近年進んでいる。FeRAMは、DRAMのキャパシタ部分を強誘電体で置き換えたもので、

以下のような特徴をもち次世代メモリとして期待されている。

【0010】(1)書き込み、消去が高速であり、セルを小型化することでDRAMなどのように以下の書き込み時間が可能、(2)不揮発性メモリで、SRAMと異なり電源が必要ない、(3)書き換え可能回数が大きく、強誘電体材料(SBTなど)、電極材料(IrO_x、RuO_x、SrRuO₃など)を工夫することで10¹²回以上が可能、(4)原理的に高密度高集積化ができる、DRAMと同等の集積度を得ることが可能である、(5)内部の書き込み電圧を2V程度とすることができる、低消費電力で動作する、(6)ランダムアクセスによるビット書き換えが可能、などの特徴をもつ。

【0011】FeRAMでは、キャパシタ部分にPZT(Pb(Zrx,Ti_{1-x}O₃))、BIT(Bi₄Ti₃O₂)またはSBT(SrBi₂Ta₂O₉)などの材料からなる強誘電体薄膜を使用する。いずれの材料も酸素八面体を基本構造とするペロブスカイト構造を基本とした結晶構造をもつ。前述のDRAM用キャパシタ材料として検討されている常誘電体BSTも同様である。

【0012】これらの材料は、従来のシリコン酸化膜とは異なり、アモルファス状態ではその特徴である強誘電性や高誘電性を発現しないため、使用することができない。よって結晶化するための工程、例えば高温での結晶化熱処理、高温でのIn-situ結晶化プロセスなどが必要となる。材料にもよるが、一般的に少なくとも400-700°C程度の温度が結晶化のため必要となる。

【0013】成膜方法としてはレーザアブレーション法、真空蒸着法、MBE法など各種の方法が研究されているが、実用化されているものでは、MOCVD法、スパッタ法、溶液法(CSD:Chemical Solution Deposition)がある。

【0014】以下では代表的な強誘電体材料であるPZTとSBTを例にとってその特徴について説明する。強誘電体は自発分極をもち、その自発分極が電界により向きを反転することが可能である特徴をもつ。自発分極は電界を印加しない状態でも分極値をもち(残留分極)、その値(分極の向き)が電界を0とする前の状態に依存する。

【0015】印加する電界の向きで+、-の電荷を結晶表面に誘起することができ、この状態をメモリ素子の0、1に対応させる。DRAMと同じ1T/1C(1トランジスタ/1キャパシタ)の構造をとることができが、現状では信頼性向上させるために主に2T/2C構造のものが採用されている。

【0016】FeRAMに実際に使用されている強誘電体薄膜は、PZT(Pb(Zrx,Ti_{1-x}O₃))薄膜、SBT(SrBi₂Ta₂O₉)薄膜である。前者のPZTは、結晶化温度が600°C程度であること、分極値が大きく残留分極値で20μC/cm²程度であること、

ヒステリシス曲線において分極0となる時の電界値である抗電界が比較的小さいため低電圧で分極反転が可能であること、Zr/Ti組成比により結晶化温度の制御可能となる他に、シャレドリッド、フレッシュルードなどの構造特性、分極量、抗電界、疲労特性、リーク電流などの強誘電特性が制御可能であること、ペロブスカイト構造のもつ元素許容性からAサイトと呼ばれるPbをSr、Ba、Ca、Laなどの元素で、Bサイトと呼ばれるZr-TiをNb、W、Mg、Co、Fe、Ni、Mnなどの元素で置換することが可能であり、それが結晶構造、構造特性、強誘電特性に大きく影響することなどが利点としてあげられる。

【0017】PZTは早くから薄膜化の検討がなされてきており、スパッタ法、ゾルゲル法などの手法で研究例も多く、最初にFeRAMとして実用化された材料である。欠点としては、書き込み回数の増加に伴う分極量の減少(疲労特性)があげられる。

【0018】PZT膜の疲労は、Pt電極界面に形成される酸素空孔が主たる原因とされている。この酸素空孔の発生理由の一つがPb元素の揮発性、拡散容易性である。Pbはペロブスカイト構造の一部であるために、酸素空孔が形成されると近傍の陽イオンと双極子を形成し、スイッチング電荷の減少を引き起こす。

【0019】これに対し、疲労特性そのものが電界により加速される特徴をもつため、最近の動作電圧の低電圧化、当初使用されていたPt電極からIrO_xなど酸化物電極の採用による疲労特性の改善もなされている。

【0020】一方、後者のSBTは、PZTのもつ疲労特性の改善、膜の低電圧駆動を達成するために開発された材料である。SBTはBi層状化合物(Aurivillius Phase)の一一種であって、強誘電性の起源となる酸素八面体からなる擬似ペロブスカイト構造層をBi₂O₃層が挟む結晶構造をもつ。

【0021】この結晶構造により主たる分極軸はc軸と垂直な面内にあり、c軸方向の分極は無か、あっても小さい値となる。擬似ペロブスカイト構造中の酸素八面体の数によってその分極が発現する。

【0022】SBTは揮発性元素であるBiが無くなってしまっても、電荷を補償する酸素空孔自身はBi酸化物層に形成されるため、直接ペロブスカイト構造での影響は少ない。また、価数の変化しやすいTiをもたないことも有効とされている。しかし、SBTはPZTに比べて結晶化温度が高いという欠点がある。

【0023】一方、以上で説明したような強誘電体材料を利用したFeRAMのセル構造では、キャパシタの上部電極とトランジスタの活性領域とを接続するオフセット型構造と呼ばれるもので、これまで実用化されているFeRAMではこの従来型のオフセット型構造を探っている。

【0024】上記オフセット型構造においては、キャバ

シタを形成し終わってからプラグを形成するプロセスをとるため、強誘電体膜形成等のための熱処理がプラグに対して負担となることはなかった。しかしながら、このオフヒッキ型構造ではセル面積の縮小が困難であり、高集積化にとては大きな阻害要因となっている。

【0025】これに対して、最近ではより密度の高いFeRAMを作製するべく、プラグ上にキャパシタを配置するCOP(Capacitor On Plug)構造の開発が進められるに至っている。

【0026】これはトランジスタの活性領域から接続されてWやSiからなるプラグがキャパシタ直下にあるもので、DRAMのスタックトキャパシタの場合と同様にセルサイズを小さくすることができる。
10

【0027】ここで、キャパシタ誘電体膜の堆積後の結晶化工程においては酸素欠損を防止する必要があり、またキャパシタをインテグレーションする際ににおける誘電体膜や金属膜のRIE(Reactive Ion Etching)加工工程もしくはプラズマCVDによる絶縁膜の堆積工程で生じたダメージを回復する必要があるため、いずれも酸素含有雰囲気下での熱処理が必要となる。
20

【0028】しかしながら、上記酸素含有雰囲気下での熱処理の際に、キャパシタ直下のプラグが酸化されてコンタクト抵抗が高くなり、ひどい場合には誘電体膜や金属膜の剥離が生じるなどの問題が生じる。すなわち、従来のCOP構造のFeRAMでは、優れたキャパシタ誘電体膜の成膜とプラグの熱的安定性を同時に図ることが困難であるという問題があった。このような問題は、プラグを形成した後にキャパシタを形成するというプロセスをとる、Ta₂O₅、(Ba, Sr)TiO₃等の高誘電体材料をキャパシタ誘電体膜に使用したスタックトDRAMにも存在した。

【0029】このような問題を回避するために、TiAlN、TiN、TaSiNなどの材料からなるバリア層の形成、IrO₂、Ir、RuO₂、Ruなどの材料からなる電極が試みられているが、プラグ構造が複雑になり、その結果としてプロセスも複雑になるという問題があった。さらに、上記の如きの熱処理に対する耐性は高いとはいえないため低温短時間化は同時に必須であった。しかし、低温短時間の熱処理ではダメージの回復は不十分であり、素子特性や信頼性の点で問題が残る。
40

【0030】また、キャパシタのRIE加工ダメージの低減を目的としてダマシンプロセスを利用したキャパシタ作製プロセスなどが提案されているが、CMP(Chemical Mechanical Polishing)を利用するプロセスでは、酸化膜と誘電体膜、強誘電体膜が接した状態で熱処理することがあるために、その部分での反応が問題となる。例えば、PZTとSiO₂とは熱により鉛ガラスを形成して接触部分を著しく劣化させる問題がある。

【0031】

【発明が解決しようとする課題】上述の如く、FeRA
50

Mのセル構造は、高集積化の要請から、オフセット型構造からCOP型構造へと変わりつつある。COP型構造のプロセスは、オフセット型構造のそれとは逆に、プラグを形成した後に、キャパシタを形成する(後作りプロセス)。この場合、キャパシタ形成時に生じた種々のダメージを回復するための酸素含有雰囲気下での熱処理が必要となる。

【0032】しかしながら、この種の熱処理によってプラグが酸化されてコンタクト抵抗が高くなってしまうという問題があった。このような問題は、Ta₂O₅等の高誘電体材料をキャパシタ誘電体膜に使用したスタックトDRAMにも存在した。

【0033】このような問題を解決する方法はいくつか提案されていたが、プラグ構造やそのプロセスが複雑になったり、酸化膜と誘電体膜、強誘電体膜との接触部分が劣化するという新たな問題があった。

【0034】本発明は、以上述べたような従来のプラグ後作りプロセスのFeRAMや、スタックトDRAMにおける問題点を考慮してなされたものであり、その目的とすることは、プラグ/電極構造を形成した後、酸化性雰囲気下での熱処理を必要とする場合における上記プラグの酸化を効果的に防止できる半導体装置およびその製造方法を提供することにある。

【0035】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。

【0036】すなわち、上記目的を達成するために、本発明に係る半導体装置は、半導体基板上に形成された導電性のプラグと、前記プラグの上面を覆う炭化珪素膜と、前記炭化珪素膜を介して前記プラグと電気的に接続する電極とを備えたことを特徴とする。
30

【0037】また、本発明に係る他の半導体装置は、半導体基板上に形成された導電性のプラグと、前記プラグの上面を覆う炭化珪素膜と、前記炭化珪素膜を介して前記プラグと電気的に接続する電極と、前記電極上に形成され、強誘電体または高誘電体を主成分とする誘電体膜とを備えたことを特徴とする。

【0038】これらの本発明に係る半導体装置の好ましい形態は以下の通りである。

【0039】(1) 前記プラグは、前記半導体基板の表面に形成されたトランジスタの活性領域に電気的に接続したものである。

【0040】(2) 上記(1)において、前記電極および前記誘電体膜はキャパシタを構成するものであり、かつ前記電極は前記誘電体膜の下に形成されたものである。

【0041】(3) 上記(2)において、前記キャパシタは、キャパシタ誘電体膜の主成分として強誘電体材料を使用した、不揮発性メモリ機能を有するものである。

【0042】(4) 上記(2)において、前記キャパシタは、キャパシタ誘電体膜の主成分として高誘電体材料を使用した、DRAMのメモリセルを構成するものである。

【0043】(5) 前記炭化珪素膜の膜厚は、100nm以下、好ましくは20nm以下である。

【0044】(6) 前記プラグの材料として、例えばポリシリコン等の半導体材料、タンゲステン等の金属材料、または窒化チタン等のシリサイドを用いる。また、前記炭化珪素膜上の前記電極の材料として、例えば白金、ルテニウム、イリジウム等の貴金属材料を用いる。すなわち、前記プラグおよび前記電極の材料はその用途に応じて種々選択することが可能である。

【0045】また、本発明に係る半導体装置の製造方法は、半導体基板上に導電性のプラグを形成する工程と、前記プラグの上面を覆う炭化珪素膜を形成する工程と、前記炭化珪素膜上に前記プラグと電気的に接続する電極を形成する工程と、前記電極上に強誘電体または高誘電体を主成分とする誘電体膜を形成する工程と、酸化性雰囲気中で前記誘電体膜を熱処理する工程とを有することを特徴とする。

【0046】ここで、前記炭化水素膜は、スパッタ法、あるいはCVD法によって形成することができる。FeRAM等の比較的平坦なキャパシタ構造を有する場合には、スパッタ法での対応が可能である。一方、超微細な立体キャパシタを有するDRAMなどの場合には一般的にはCVD法が適している。ただし、炭化水素膜の形成方法としては、スパッタ法、CVD法に限定されるものではなく、適宜他の方法を用いることができる。

【0047】本発明によれば、プラグ/電極構造を有する半導体装置において、プラグの保護膜(反応バリア膜)として炭化珪素膜を用いることによって、酸素含有雰囲気下での熱処理によるプラグの酸化を効果的に防止できるようになる。

【0048】その結果、従来制限要因だった熱処理温度、雰囲気の許容範囲が広がり、これによって信頼性の高い半導体装置を提供することが可能となる。例えば、微細構造に適しているCOP構造を有するFeRAMの場合を例に採り説明すると以下の通りである。

【0049】この種のFeRAMに使用される代表的な強誘電体膜はPZT膜やSBT膜である。これらの強誘電体膜の結晶化または加工等のプロセスダメージ回復のためには、高温処理が必要である。このとき、熱処理に伴う強誘電体膜の酸素欠損の発生を抑制するためには、酸素雰囲気下での熱処理が必要である。

【0050】ところが、上記熱処理によってキャパシタ下部電極へ酸素が拡散し、その下のプラグが酸化されてしまうという問題がある。したがって、熱処理温度の低減と短時間アニールが不可欠であった。特に、結晶化により高い温度を必要とするSBT膜の場合にはCOP構

造の適用はより困難さを増していた。しかし、本発明によれば、炭化珪素膜によってプラグの酸化を効果的に防止できるので、特性の優れた高・強誘電体膜を形成することが可能となり、(びりて信頼性の高い)COP等の半導体装置およびその製造方法を提供することが可能となる。

【0051】本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかになるであろう。

10 【0052】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態(以下、実施形態という)を説明する。

【0053】(第1の実施形態) 図1は、本発明の第1の実施形態に係る半導体装置の製造方法を示す工程断面図である。本実施形態は本発明をCOP構造のFeRAMセルに適用した例である。

【0054】まず、図1(a)に示すように、P型シリコン基板100の表面のトランジスタ活性領域以外の領域に素子分離のための溝を形成し、この溝内にSiO₂を埋め込んで素子分離領域101を形成する(Sallow Trench Isolation)。

【0055】次に同図(a)に示すように、スイッチ動作を行うためのMOSトランジスタを形成する。具体的には次の通りである。まず、熱酸化により厚さ6nmのシリコン酸化膜102をP型シリコン基板100の表面に形成し、続いて砒素をドープしたn⁺型多結晶シリコン膜103を全面に形成し、さらにn⁺型多結晶シリコン膜103上にタンゲステンシリサイド膜104、シリコン窒化膜105を順次形成する。しかる後、n⁺型多結晶シリコン膜103、タンゲステンシリサイド膜104、シリコン窒化膜105を通常の光ソグラフィー法およびRIE法により加工し、ゲート電極103、104(シリコン窒化膜106を全面に堆積し、RIEによる側壁残しの手法によって、ゲート電極103、104の側壁にスペーサ部(ゲート側壁絶縁膜)を設ける。その後、周知のイオン注入法および熱処理(アニール)によって、1対のソース・ドレイン領域107を形成する。

【0056】次に図1(b)に示す工程に進む。まず、シリコン酸化膜108をCVD法により全面に堆積し、その後一旦CMP法により平坦化を行ってから、上記MOSトランジスタの一方のソース・ドレイン領域107に連通するコンタクトホール109を開孔する。

【0057】次にスパッタ法あるいはCVD法により薄いチタン膜を堆積し、フォーミングガス中で熱処理を行うことによって、バリアメタル膜としてのTiN膜110を形成する。

【0058】次にピット線プラグ111となるタンゲステン膜をCVD法により全面に堆積した後、コンタクトホール109の外部の不要なタンゲステン膜をCMP法

により除去することで、コンタクトホール109の内部にビット線プラグ111を埋め込み形成する。

【0059】次にシリコン窒化膜112、シリコン酸化膜113をCVD法により順次全面に堆積し、さらに他方のソース・ドレイン領域107に連通するコンタクトホール114を開孔する。その後、TiN膜110、ビット線プラグ111と同様に、TiN膜115、タンゲステンからなるキャパシタプラグ116をコンタクトホール114内に埋込み形成する。キャパシタプラグ116はMOSトランジスタの一方のソース・ドレイン領域107（トランジスタの活性領域）に電気的に接続する。

【0060】次に図1(c)に示す工程に進む。まず、保護膜117となる厚さ10nm程度の薄い炭化珪素膜をスパッタ法により全面に形成する。次にキャパシタ下部電極118となる第1の白金膜をスパッタ法によって全面に形成し、続いてキャパシタ誘電体膜119となるPZT膜をスパッタ法により全面に形成し、一旦酸素雰囲気中での急、速加熱処理(RTA)により上記PZT膜の結晶化を行う。この後、キャパシタ上部電極120となる第2の白金膜をスパッタ法により全面に形成する。

【0061】次にマスクパターンとなる図示しないシリコン酸化膜をCVD法により全面に堆積し、続いて上記シリコン酸化膜を光ソグラフィー法によってパターンニングし、シリコン酸化膜からなるマスクパターンを形成する。その後、パターンニング時に使用したフォトレジストを剥離する。

【0062】次に上記マスクパターンをマスクにして上記第2の白金膜、上記PZT膜、上記第1の白金膜、炭化珪素膜をこの順で連続的にテーパエッチングした後、上記マスクパターンを除去することで、第2の白金膜からなるキャパシタ上部電極120、PZT膜からなるキャパシタ誘電体膜119、第1の白金膜からなるキャパシタ下部電極118からなるキャパシタが完了する。

【0063】次にシリコン酸化膜121を全面に堆積し、上記キャパシタを覆った後、上記テーパエッチングの加工時にキャパシタ誘電体膜(PZT膜)119に生じたダメージを除去するために酸素雰囲気下で600°C程度の高温熱処理を行う。

【0064】この際、酸素はキャパシタ内にも浸透し、その一部はキャパシタ下部電極118の下にも達するが、保護膜117である炭化珪素膜の酸素に対する拡散バリア性が高いため、下地のキャパシタプラグ116であるタンゲステン膜が酸化されることはない。

【0065】また、炭化珪素膜は、キャパシタ下部電極118である白金膜、キャパシタプラグ116であるタンゲステン膜とともに反応することはないため、前述のキャパシタ製造工程に伴う酸素中熱処理においても何ら障害をもたらすことはない。なお、本実施形態の最後に炭

素珪素膜についてさらに詳細に説明する。

【0066】しかる後、図には示さないが周知の方法に従ってドライブ線、ビット線、さらに上層メタル配線の工程を経て、MOSトランジスタが完成することになる。

【0067】以上述べたように本実施形態によれば、MOSトランジスタとキャパシタとを接続するキャパシタプラグ116の上面が覆われるよう、炭化珪素膜からなる保護膜117を形成するという一工程を追加するだけ、従来技術で述べた酸素雰囲気中の高温熱処理による問題を解決でき、その結果としてプラグ/電極構造およびそのプロセスの複雑化を招くことなく、微細かつ高密度(高集積度)のFeRAMを実現できるようになる。

【0068】なお、本実施形態においては、セル構造にはキャパシタの上層にビット線が配置される場合を示したが、より集積度を増すためには、ビット線を形成した後にキャパシタを配置する方が望ましく、本発明はその趣旨に基づいてその場合にも適用することができる。

【0069】また、他のセル構造としてはトランジスタとキャパシタを並列に配置するいわゆるラダー構造を有するセル構造も提案されているが、その場合にも当然本発明をこと可能である。

【0070】さらに、キャパシタ材料に関しては、本実施形態ではキャパシタ誘電体膜119には強誘電体であるPZT、キャパシタ上部電極120およびキャパシタ下部電極118には白金を用いているが、このような材料に限定されることはない。

【0071】例えば、キャパシタ誘電体膜119にはSBTを用いることも可能である。前述の通り、SBTの結晶化温度はPZTよりも高いため、より高温での熱処理が必要となるが、本発明の特徴をもってすればこのような場合に対してもより高い効果が期待できる。

【0072】また、キャパシタ上部電極120およびキャパシタ下部電極118には、例えばイリジウム、ルテニウム、あるいはそれらの酸化物、さらにはストロンチウムルテニウム酸化物等の化合物導電体を用いることが可能である。

【0073】以下、炭素珪素膜についてさらに詳細に説明する。炭化珪素膜は、融点は2000°C以上で熱的に極めて安定であるとともに、酸素透過性も極めて低い材料であり、耐火物や抵抗体などに用いられる。また、半導体材料でもあるため、近年半導体素子への応用も広がっている。

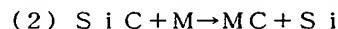
【0074】炭素珪素膜は、上記の如き特徴を有するため、タンゲステンプラグなど金属プラグや多結晶シリコンプラグ上に炭化珪素膜を配置することによって、キャパシタ形成時の酸素熱処理においても炭化珪素自体変化を受けることがないだけでなく、下地の金属プラグや多結晶シリコンプラグの酸化を極めて効率よく防止することができます。

【0075】一方、炭化珪素は半導体であるため、その抵抗値は構造（結晶形態、結晶化の有無）、形成方法、ドーピング有無などによっても大きく異なってくる。代表的な結晶構造である β -SiCの場合、抵抗値の値は $1 \times 10^{-4} \Omega \text{ cm}$ 程度とされおり、また非結晶体の場合、さらに数オーダー高くなることも指摘されており、一般的な金属に比べると高い値であるが、薄膜として用いれば電気的導通を保つことは可能である。

【0076】すなわち、この程度の抵抗率であれば、炭化珪素膜の膜厚を十分薄くすることで、具体的には膜厚を 100 nm 以下にすることで、好ましくは 50 nm 以下、より好ましくは 20 nm 以下にすることで、導電性を有する保護膜として使用することが可能であり、炭化珪素膜を用いることによる抵抗の上昇の影響を最小限に抑制することができる。

【0077】例えば、膜厚 50 nm の β -SiC膜を、 0.1μ 角のコンタクトに用いた場合、その抵抗値はわずか 5.35Ω である。これにコンタクト抵抗が加わることになるが、例えば本実施例で説明したFeRAMや第3の実施形態で説明するDRAMの場合のキャパシタ／プラグに要する抵抗値は一般には $10 \text{ k}\Omega$ 以上であるため、キャパシタ／プラグ間を電気的に接続する点で問題となることはない。

【0078】一方・炭化珪素（SiC）と金属材料（M）との反応性は一般には低いが、金属材料によっては主として以下二種類の反応が生じる場合がある。



あるいは、これらの組み合わせとして生じる。これらは、反応に伴う自由エネルギーが極小になるように進むが、それは材料固有の物性であるため一般的な指針はない。

【0080】ただし、本発明者等の研究によれば、本実施例であげられている白金、ルテニウム、イリジウム、タンクステンに関しては、通常のキャパシタプロセス温度（ 700°C 以下）では上記反応は生じないことを確認している。

【0081】さらに、チタンシリサイドに関しても安定であることを確認している。チタンは単独では上記

(1) の反応が生じることが報告されている。これは、シリサイド化することによりもはや反応に伴う自由エネルギーの極小化が図れないことを示している。すなわち、金属は単体では炭化珪素と反応を生じる場合でも、あらかじめシリサイドあるいはまた炭化物として用いることによって、安定化が図れることを示している。

【0082】図2、図3に、実際にタンクステンプラグ上に厚さ 10 nm の炭化珪素膜を堆積した後、白金膜、PZT膜を堆積し、 650°C および 600°C の酸素雰囲気中下で熱処理を行った場合の断面のSEM写真と上部電極に白金を用いたキャパシタにおける自発分極を示す

50

P-V特性曲線をそれぞれ示す。

【0083】図2、図3から明らかなように、厚さ 10 nm と薄い炭化珪素膜でも十分な酸化・反応防止効果を得ることができ、SEM写真で見られるように白金膜とその下地のタンクステンプラグとは安定に保たれており、キャパシタとしても実際良好な電気特性が得られることを確認した。

【0084】（第2の実施形態）図4は、本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図である。本実施形態は本発明をCOP構造のFeRAMセルに適用した例であって、具体的にはFeRAMセルのキャパシタプラグの上面のみ本発明の炭化珪素膜を形成する例である。

【0085】まず、図4(a)に示すように、P型シリコン基板200の表面のトランジスタ活性領域以外の領域に素子分離のための溝を形成し、この溝内にSiO₂を埋め込んで素子分離領域201を形成する(Sallow Trench Isolation)。

【0086】次に同図(a)に示すように、スイッチ動作を行うためのMOSトランジスタを形成する。具体的には次の通りである。まず、熱酸化により厚さ 6 nm のシリコン酸化膜202をP型シリコン基板200の表面に形成し、続いて砒素をドープしたn⁺型多結晶シリコン膜203を全面に形成し、さらにn⁺型多結晶シリコン膜203上にタンクステンシリサイド膜204、シリコン窒化膜205を順次形成する。しかる後、n⁺型多結晶シリコン膜203、タンクステンシリサイド膜204、シリコン窒化膜205を通常の光ソグラフィー法およびRIE法により加工し、ゲート電極203、204を形成する。さらに、シリコン窒化膜206を堆積し、RIEによる側壁残しの手法によって、ゲート電極203、204の側壁にスペーサ部（ゲート側壁絶縁膜）を設ける。その後、周知のイオン注入法および熱処理（アニール）によって、1対のソース・ドレイン領域207を形成する。

【0087】次に図4(b)に示す工程に進む。まず、シリコン酸化膜208をCVD法により全面に堆積し、その後一旦CMP法により平坦化を行ってから、上記MOSトランジスタの一方のソース・ドレイン領域206に連通するコンタクトホール209を開孔する。

【0088】次にキャパシタプラグ210となる多結晶シリコン膜をコンタクトホール209内を埋め込むように全面に堆積した後、CMP法によりコンタクトホール209の外部の不要な多結晶シリコン膜を除去することによって、後工程で形成するキャパシタに連通するキャパシタプラグ210をコンタクトホール209内に埋め込み形成する。キャパシタプラグ210はMOSトランジスタの一方のソース・ドレイン領域207（トランジスタの活性領域）に電気的に接続する。

【0089】次にキャパシタプラグ210である多結晶

シリコン膜の上部をエッチングしてその表面を後退させ、続いてエッチングによって生じたコンタクトホール209の隙間を埋め込むように、保護膜211となる厚さ50nmの薄い炭化珪素膜をCVD法により全面に形成した後、コンタクトホール209の外部の不要な炭化珪素膜をCMP法により除去することで、コンタクトホール109の隙間に保護膜211を埋込み形成する。

【0090】次に図4(c)に示す工程に進む。まず、キャパシタ下部電極212となる第1の白金膜をスパッタ法によって全面に形成し、続いてキャパシタ誘電体膜213となるPZT膜をスパッタ法により全面に形成し、一旦酸素雰囲気中のRTAにより上記PZT膜の結晶化を行う。この後、キャパシタ上部電極214となる第2の白金膜をスパッタ法により全面に形成する。

【0091】次にマスクパターンとなる図示しないシリコン酸化膜をCVD法により全面に堆積し、続いて上記シリコン酸化膜を光ソグラフィー法によってパターンニングし、シリコン酸化膜からなるマスクパターンを形成する。その後、パターンニング時に使用したフォトレジストを剥離する。

【0092】次に上記マスクパターンをマスクにして上記第2の白金膜、上記PZT膜、上記第1の白金膜、炭化珪素膜をこの順で連続的にテーパエッチングした後、上記マスクパターンを除去して、第2の白金膜からなるキャパシタ上部電極214、PZT膜からなるキャパシタ誘電体膜213、第1の白金膜からなるキャパシタ下部電極212からなるキャパシタが完了する。

【0093】次にシリコン酸化膜215を全面に堆積し、上記キャパシタを覆った後、テーパエッチングの加工時にキャパシタ誘電体膜(PZT膜)213に生じたダメージを除去するために酸素雰囲気下で600°C程度の熱処理を行う。

【0094】この際、酸素はキャパシタ内にも浸透し、その一部はキャパシタ下部電極212の下にも達するが、保護膜211である炭化珪素膜の酸素に対する拡散バリア性が高いため、下地のキャパシタプラグ210である多結晶シリコン膜とキャパシタ下部電極212である白金膜との反応が生じることはない。

【0095】一方、保護膜211である炭化珪素膜はキャパシタ下部電極211である白金膜、キャパシタプラグ210である多結晶シリコン膜とともに反応することはないため、前述のキャパシタ製造工程に伴う酸素中熱処理においても何ら障害をもたらすことはない。

【0096】この後、図には示さないが周知の方法に従ってMOSトランジスタの他方のソース・ドレイン206に連通するコンタクトホール、ビット線、ドライブ線、さらに上層メタル配線の工程を経て、FeRAMが完成することになる。

【0097】なお、本実施形態において、セル構造や、キャパシタ材料は、第1の実施形態と同様に種々変形可

能である。

【0098】(第3の実施形態) 第1および第2の実施形態では本発明をFeRAMに適した場合について説明したが、発明はFeRAMに限らず高密度存取メモリータ用いた STACK型DRAMにも適用できる。以下、図5を用いて本発明をSTACK型DRAMに適用した実施形態について説明する。

【0099】まず、図5(a)に示すように、P型シリコン基板300の表面のトランジスタ活性領域以外の領域に素子分離のための溝を形成し、この溝内にSiO₂を埋め込んで素子分離領域301を形成する(Sallow Trench Isolation)。

【0100】次に同図(a)に示すように、スイッチ動作を行うためのMOSトランジスタを形成する。具体的には次の通りである。まず、熱酸化により厚さ6nmのシリコン酸化膜302をP型シリコン基板300の表面に形成し、続いて砒素をドープしたn⁺型多結晶シリコン膜303を全面に形成し、さらにn⁺型多結晶シリコン膜103上にタンゲステンシリサイド膜304、シリコン窒化膜305を順次形成する。しかる後、n⁺型多結晶シリコン膜303、タンゲステンシリサイド膜304、シリコン窒化膜305を通常の光ソグラフィー法およびRIE法により加工し、ゲート電極303、304を形成する。さらに、シリコン窒化膜306を堆積し、RIEによる側壁残しの手法によって、ゲート電極303、304の側壁にスペーサ部(ゲート側壁絶縁膜)を設ける。その後、周知のイオン注入法および熱処理(アニール)によって、1対のソース・ドレイン領域307を形成する。

【0101】次に図5(b)に示す工程に進む。まず、シリコン酸化膜308をCVD法により全面に堆積し、その後一旦CMP法により平坦化を行ってから、上記MOSトランジスタの一方のソース・ドレイン領域307に連通するコンタクトホール309を開孔する。

【0102】次に第1の実施形態と同様に、バリアメタル膜としてのTiN膜310を形成し、続いてビット線プラグ311となるタンゲステン膜をCVD法により全面に堆積し、さらにコンタクトホール309の外部の不要なタンゲステン膜をCMP法により除去することで、一方のコンタクトホール309の内部にビット線プラグ311を埋込み形成する。その後、シリコン酸化膜312をCVD法により全面に堆積し、ダミンプロセスによりタンゲステンからなるビット線313をシリコン酸化膜312内に埋め込み形成する。

【0103】次にシリコン酸化膜312を全面に堆積し、シリコン酸化膜312₁、312₂に他方のソース・ドレイン領域309に連通するコンタクトホール314を開孔した後、TiN膜310、ビット線プラグ311と同様に、TiN膜315、タンゲステンからなるキャパシタプラグ316をコンタクトホール314内に埋

め込み形成する。キャパシタプラグ316はMOSトランジスタの一方のソース・ドレイン領域307（トランジスタの活性領域）に電気的に接続する。

【0104】次に図5（d）に示す工程に進む。すな、厚いシリコン酸化膜317をCVD法により全面に堆積し、光リソグラフィー法とRIE法によりシリコン酸化膜317に溝を開孔し、その後この溝の内面を覆うように、保護膜318となる厚さ10nm程度の薄い炭化珪素膜、キャパシタ下部電極319となるルテニウム膜をCVD法により全面に順次堆積する。このとき、上記溝の内部を埋め込まないようにする。

【0105】次に上記溝の内部を埋め込む厚さのシリコン酸化膜をCVD法により全面に堆積し、続いて上記シリコン酸化膜、上記ルテニウム膜、上記炭化珪素膜をCMP法によって順次研磨し、上記溝の外部の上記三つの膜を除去し、その後溝の内部の上記シリコン酸化膜を選択的に除去して、上記溝の内面上に保護膜318およびキャパシタ下部電極319を形成する。

【0106】次にキャパシタ誘電体膜320となるBST膜をCVD法により全面に堆積した後、シリコン酸化膜317に形成した溝の内部を埋め込むように、キャパシタ上部電極321となるルテニウム膜をCVD法により全面に堆積する。

【0107】次に上記BST膜および上記ルテニウム膜をフォトリソグラフィおよびRIEを用いてパターンニングし、BST膜からなるキャパシタ誘電体膜320およびルテニウムからなるキャパシタ上部電極321を形成する。その後、上記RIE時に生じたキャパシタ誘電体膜（BST膜）320のダメージを除去するために酸素雰囲気下で600°C程度の熱処理を行う。

【0108】この際、酸素の一部はキャパシタ下部電極319の下にも達するが、保護膜318である炭化珪素膜の酸素に対する拡散バリア性が高いため、下地のキャパシタプラグ316であるタンクスチタン膜が酸化されることはない。また、炭化珪素膜はキャパシタ下部電極319であるルテニウム膜、キャパシタプラグ316であるタンクスチタン膜とともに反応することはないため、前述のキャパシタ製造工程に伴う酸素中熱処理においても何ら障害をもたらすことはない。

【0109】その後、周知の方法に従って、上層のメタル配線工程を経て、スタック型DRAMが完成することになる。

【0110】なお、キャパシタ材料に関して、本実施形態では、キャパシタ誘電体膜320にはBST、キャパシタ上部電極321およびキャパシタ下部電極319にはルテニウムを用いているが、このような材料に限定されることはない。

【0111】例えば、キャパシタ誘電体膜320にはタンタル酸化膜、キャパシタ上部電極321およびキャパシタ下部電極319には白金、イリジウム、ストロンチ

ウムルテニウム酸化物等の化合物導電体も使用することが可能である。

【0112】また、本実施形態ではシリコン基板を用いたが、DRAMからの高速化等の性能向上のためには、SOI基板を用いると良い。

【0113】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、本発明をFeRAM、DRAMに適した場合について説明したが、本発明はこれらの半導体装置に限定されるものではなく、導電性のプラグ／電極構造を有する半導体装置に適用可能である。

【0114】特に、導電性のプラグ／電極構造の上に強誘電体または誘電体薄膜を有する半導体装置において有効である。この場合も、上記実施形態と同様に、プラグ／電極構造上に特性の優れた強誘電体または誘電体薄膜を配置した構造を備えた半導体装置および半導体装置の製造方法を実現できるようになる。

【0115】また、上記実施形態では、高温熱処理を酸素雰囲気下で行う場合について説明したが、純酸素（O₂）の雰囲気でなくも酸化性雰囲気下であれば良い。

【0116】さらに、上記各実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題を解決できる場合には、この構成要件が削除された構成が発明として抽出され得る。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0117】

【発明の効果】以上詳説したように本発明によれば、プラグ／電極構造のプラグを酸化から保護するための保護膜として炭化珪素膜を用いることによって、酸化性雰囲気下での熱処理によるプラグの酸化を効果的に防止できるようになる。

【図面の簡単な説明】

【図1】発明の第1の実施形態に係る半導体装置の製造方法を示す工程断面図

【図2】本発明の効果を説明するための顕微鏡写真（SEM写真）

【図3】本発明の効果を説明するためのP-V特性を示す図

【図4】本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図

【図5】本発明の第3の実施形態に係る半導体装置の製造方法を示す工程断面図

【符号の説明】

100…P型シリコン基板

101…素子分離領域

102…シリコン酸化膜

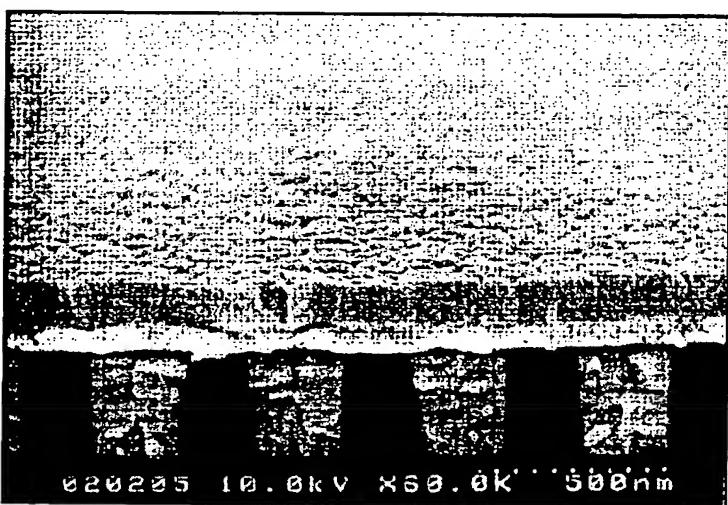
17

- 1 0 3 … n⁺ 型多結晶シリコン膜
 1 0 4 … タングステンシリサイド膜
 1 0 5, 1 0 6 … シリコン窒化膜
 1 0 7 … ソース・ドレイン領域
 1 0 8 … シリコン酸化膜
 1 0 9 … コンタクトホール
 1 1 0 … TiN膜
 1 1 1 … ビット線プラグ
 1 1 2 … シリコン窒化膜
 1 1 3 … シリコン酸化膜
 1 1 4 … コンタクトホール
 1 1 5 … TiN膜
 1 1 6 … キャパシタプラグ
 1 1 7 … 保護膜 (炭素珪素膜)
 1 1 8 … キャパシタ下部電極
 1 1 9 … キャパシタ誘電体膜
 1 2 0 … キャパシタ上部電極
 1 2 1 … シリコン酸化膜
 2 0 0 … P型シリコン基板
 2 0 1 … 素子分離領域
 2 0 2 … シリコン酸化膜
 2 0 3 … n⁺ 型多結晶シリコン膜
 2 0 4 … タングステンシリサイド膜
 2 0 5, 2 0 6 … シリコン窒化膜
 2 0 7 … ソース・ドレイン領域
 2 0 8 … シリコン酸化膜
 2 0 9 … コンタクトホール
 2 1 0 … キャパシタプラグ

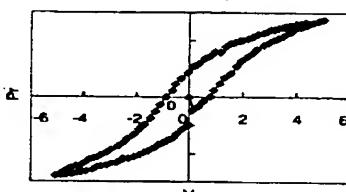
18

- * 2 1 1 … 保護膜 (炭素珪素膜)
 2 1 2 … キャパシタ下部電極
 2 1 3 … キャパシタ誘電体膜
 2 1 4 … キャパシタ上部電極
 2 1 5 … シリコン酸化膜
 3 0 0 … P型シリコン基板
 3 0 1 … 素子分離領域
 3 0 2 … シリコン酸化膜
 3 0 3 … n⁺ 型多結晶シリコン膜
 3 0 4 … タングステンシリサイド膜
 3 0 5, 3 0 6 … シリコン窒化膜
 3 0 6 … シリコン窒化膜
 3 0 7 … ソース・ドレイン領域
 3 0 8 … シリコン酸化膜
 3 0 9 … コンタクトホール
 3 1 0 … TiN膜
 3 1 1 … ビット線プラグ
 3 1 2₁, 3 1 2₂ … シリコン酸化膜
 3 1 3 … ビット線
 20 3 1 4 … コンタクトホール
 3 1 5 … TiN膜
 3 1 6 … キャパシタプラグ
 3 1 7 … シリコン酸化膜
 3 1 8 … 保護膜 (炭素珪素膜)
 3 1 9 … キャパシタ下部電極
 3 2 0 … キャパシタ誘電体膜
 3 2 1 … キャパシタ上部電極

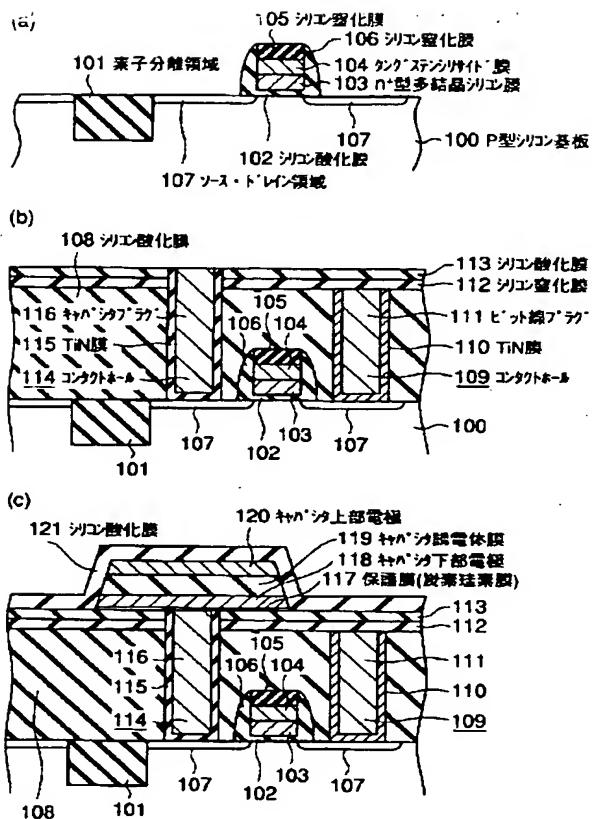
【図2】



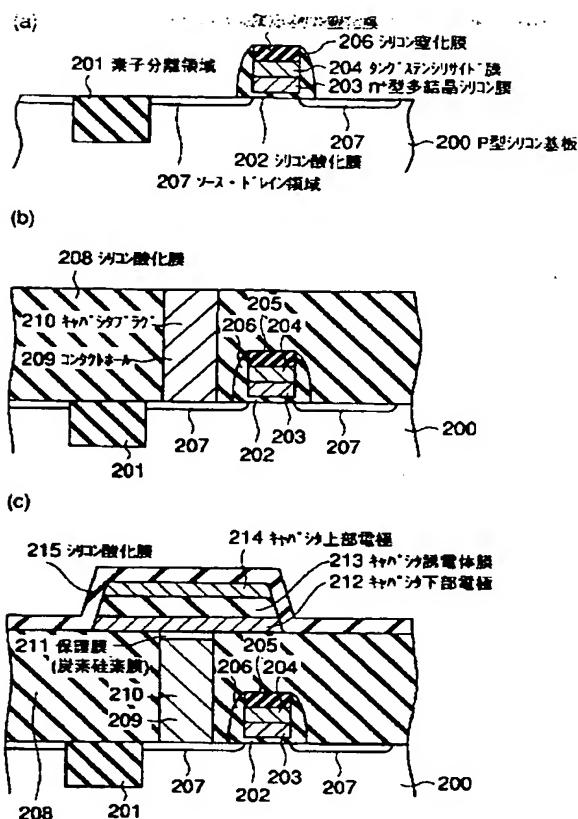
【図3】



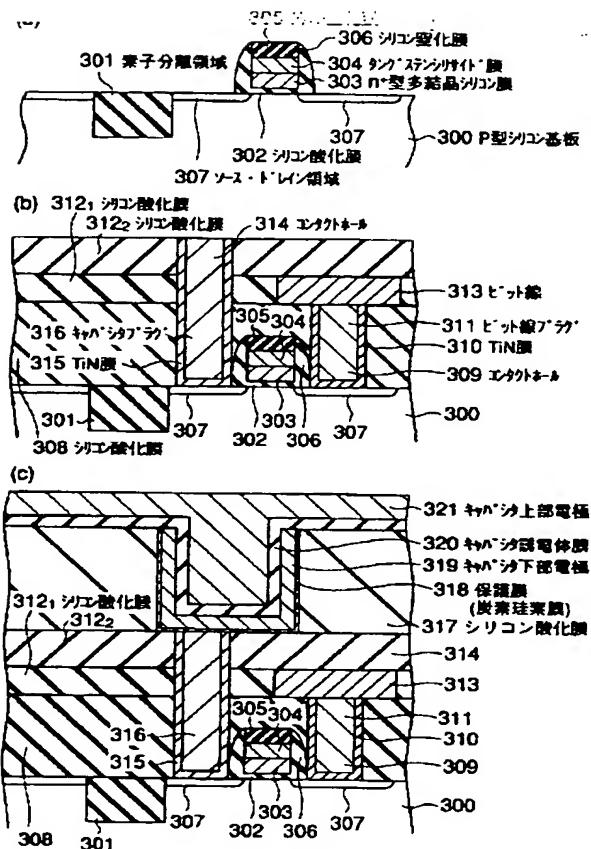
【図1】



【図4】



【図5】



フロントページの続き

(72) 発明者 有隅 修

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 名取 克晃

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

F ターム (参考) 5F033 HH03 HH07 JJ19 JJ33 KK01

PP06 PP15 QQ37 QQ48 QQ73

QQ78 RR04 RR06 SS11 TT02

VV16 XX28

5F083 AD02 AD21 AD48 AD49 GA02

GA25 HA02 JA14 JA15 JA17

JA31 JA35 JA38 JA39 JA40

JA43 JA44 MA05 MA06 MA17

MA20 NA01 PR33 PR34 PR40